

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

## PATENT ABSTRACTS OF JAPAN

(11)

(11)Publication number : 09-185600  
(43)Date of publication of application : 15.07.1997

(51)Int.CI.

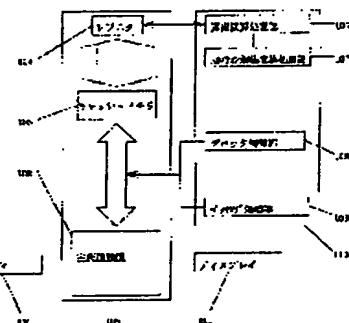
G06F 17/12  
G06F 17/16(21)Application number : 07-342228  
(22)Date of filing : 28.12.1995(71)Applicant : HITACHI LTD  
(72)Inventor : SHUDO SHIGEO  
TANAKA SHINICHI

## (54) CALCULATING DEVICE FOR SIMULTANEOUS LINEAR EQUATIONS

## (57)Abstract:

**PROBLEM TO BE SOLVED:** To improve the rate of calculation by decreasing the storage of useless zero element and input/output between storage hierarchies by changing the shape of skyline matrix within a blocked range in calculation.

**SOLUTION:** Concerning a storage device 105 having the storage hierarchies composed of a register 104, cache memory 103 and main storage device 102, data blocked into capacitance so as to be settled within the storage capacity of cache memory 103 are transferred from the main storage device 102 to the cache memory 103. In that case, the data of skyline matrix inside the block are compressed for the unit of a column according to the control of packing processing part 107. According to the control of skyline solution arithmetic processing part 107, the required processing of parallel skyline solution device 110 is performed to the data in the cache memory 104 by an arithmetical operation processing part 106 on the register 104. After all the calculations are completed, the result is outputted onto a display 111.



## LEGAL STATUS

[Date of request for examination]

16.03.2001

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平 9-185600

(43) 公開日 平成 9 年 (1997) 7 月 15 日

(51) Int.Cl.<sup>6</sup>  
G06F 17/12  
17/16

識別記号 庁内整理番号

F I  
G06F 15/324  
15/347

技術表示箇所

K

審査請求 未請求 請求項の数 1 ○ L (全 8 頁)

(21) 出願番号

特願平 7-342228

(22) 出願日

平成 7 年 (1995) 12 月 28 日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目 6 番地

(72) 発明者 首藤 重雄

宮城県仙台市青葉区一番町二丁目 4 番 1 号

日立東北ソフトウェア株式会社内

(72) 発明者 田中 慎一

神奈川県横浜市戸塚区戸塚町 5030 番地

株式会社日立製作所ソフトウェア開発本部内

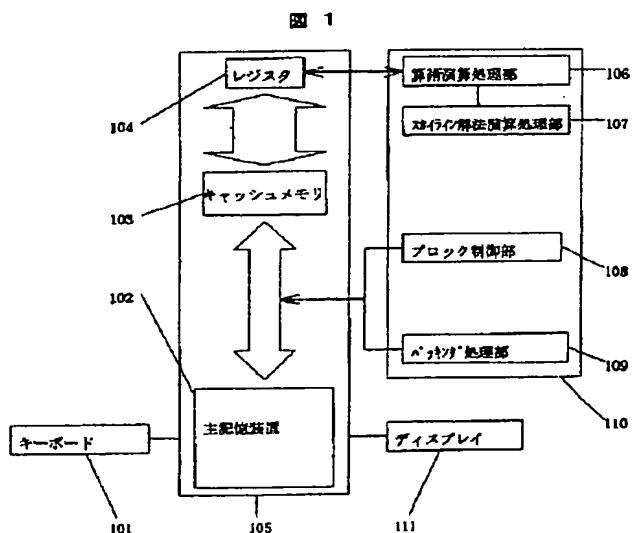
(74) 代理人 弁理士 小川 勝男

(54) 【発明の名称】連立一次方程式に関する計算装置

(57) 【要約】

【課題】スカイライン列の高さが揃っていないスカイライン行列に対するパラレルスカイライン法において、無駄なゼロ要素計算を減少させ計算機に最適な列幅で計算を可能にする処理を装備した連立一次方程式に関する計算装置の提供。

【解決手段】有限要素法を使用した構造解析で得られるスカイライン行列を係数とする連立一次方程式の解を計算する装置であり、一次元配列で与えられるスカイライン係数行列 A、A の各列の先頭アドレステーブル N P 及び右辺のベクトル B を記憶し、計算時に部分的にスカイライン係数行列 A を変形して処理する、連立一次方程式に関する計算装置。



## 【特許請求の範囲】

【請求項1】有限要素法を使用した構造解析で得られるスカイライン行列を係数とする連立一次方程式の解を計算する装置であり、一次元配列で与えられる係数行列A、Aの各行の先頭アドレステーブルNP及び右辺ベクトルBを記憶し、NPの値により判定されるスカイライン行列の列の先頭が揃っていない場合に対して、L列(L=2, 3, 4, 5, 6, 7)づつをまとめて計算処理する際に発生する無駄なゼロ要素による計算を減少させるように、スカイライン係数行列をブロックした範囲で変形して処理することを特徴とする連立一次方程式に関する計算装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、連立一次方程式の数値解を計算する装置に関わり、特に有限要素法を使用した構造解析で得られるスカイライン行列を係数とする行列の三角分解をする装置であり、数値シミュレーションを行う記憶階層システムを持つRISCプロセッサを使用したワークステーション、超並列計算機の計算機などに関する。

## 【0002】

【従来の技術】従来の技術としては、小国 力編「行列計算ソフトウェア、WS、スーパーコン、並列計算機」(丸善)で論じられているスカイライン行列の改訂コレスキーフ分解を用いた方法がある。この方法は1行1列の内積計算処理を基本としている。

【0003】また、スカイライン行列をL\*L(L=2, 3, ...)のセルに分割して、分解を行うパラレルスカイライン法、スカイライン行列をいくつかの列ごとにブロック化して、外部記憶装置に記憶しておき、必要なブロックのみを適宜主記憶装置に読み込んで分解を行うブロックスカイライン法がある。

【0004】一方、特願平04-319756に記述されている連立一次方程式に関する計算装置では、スカイライン列の先頭がL個(L=2, 3, ..., 6)づつ揃ったスカイライン行列とそれ以外の一般的なスカイライン行列の場合に分けて処理することを特長としている。

## 【0005】

【発明が解決しようとする課題】記憶階層を持つシステムでは、記憶階層間のデータの入出力を少なくしてより高速な記憶装置(演算装置)での計算の比率を高めることが、計算の高速化に効果的であるので、前記のパラレルスカイライン法が有効である。パラレルスカイライン法を適用すると、たとえば、ワークステーションではもっとも高速な記憶装置であり計算装置であるレジスタに対する入出力の計算量に対する比率が減少するため、計算時間を短縮できる。パラレルスカイライン法を適用する場合、スカイライン行列のスカイライン列の先頭が揃

っている場合にはゼロ要素による無駄な計算は必要ないが、一般的なスカイライン行列に対しては無駄なゼロ要素による計算が発生する。図6に例で示す。図6はスカイライン列の先頭が揃っていない一般的なスカイライン行列である。601の網掛け部分が無駄なゼロ要素計算となる。本例では、一度に消去する列幅しが4の場合である。

【0006】本発明の目的は、スカイライン列の先頭が揃っていない一般的なスカイライン行列に対するパラレルスカイライン法において、無駄なゼロ要素による計算を減少する処理を装備した連立一次方程式に関する計算装置を提供することにある。

## 【0007】

【課題を解決するための手段】上記目的は、スカイライン行列において、なるべくスカイライン行列の要素を使用するように計算時にスカイライン行列の形状をブロック化した範囲で変更することにより達成される。

【0008】列幅は計算を通して計算機でのもとと高い性能がでる列幅の使用が可能であり、また、同時にゼロ要素による無駄な計算の減少が可能である。記憶階層を持つ計算装置においては、無駄なゼロ要素の格納、及び記憶階層間の入出力を減少させて、計算の比率を高めることが可能となる。

## 【0009】

【発明の実施の形態】以下、本発明の一実施例について図面により説明する。

【0010】図1は、レジスタ(104)、キャッシュメモリ(103)、及び主記憶装置(102)からなる記憶階層を持つ記憶装置(105)に対して、主記憶装置(102)からキャッシュメモリ(103)に、キャッシュメモリ(103)の記憶容量に収まる容量にブロック化されたデータを転送する過程に、本発明の一実施例である、スカイライン係数行列(202)をL列づつまとめて計算する際に発生して無駄計算を引き起こすゼロ要素(601)を減少させるように形状をブロック化した範囲で変更する処理(以下パッキング処理と呼ぶ)を具現したパッキング処理部(109)とブロック制御部(108)、スカイライン解法演算処理部(107)及び、算術演算処理部(106)からなるパラレルスカイライン法解法装置(110)と、キーボード(101)からなる入力装置と、表示装置であるディスプレイ(111)を具備するパラレルスカイライン連立一次方程式解法装置の装置図を示す。

【0011】図2掲載の様式でキーボード(101)から入力した、一次元配列に格納された次元数Nのスカイライン係数行列(202)のデータは主記憶装置(102)上に記憶される。計算時に必要なデータは、図3掲載のようなキャッシュメモリの容量を超えない大きさに分割したブロック単位で、ブロック制御部(108)の

制御に従い、主記憶装置（102）からキャッシュメモリ（103）に転送される。その際、ブロック内のスカイライン行列のデータはパッキング処理部（109）の制御に従い、第5図に示されるように列単位に圧縮される。そしてキャッシュメモリ（103）のデータはスカイライン解法演算処理部（107）の制御に従い、レジスタ（104）上で算術演算処理部（106）により必要なパラレルスカイライン法解法装置（110）の処理が施される。必要な処理が完了した時点で更新したデータはキャッシュメモリ（103）及び主記憶装置（102）に戻される。すべての計算が完了した後、ディスプレイ（111）に結果を出力する。

【0012】図2は、入力される連立一次方程式問題の一例である。次元数33の連立一次方程式のスカイライン係数行列（202）は、一次元配列Aに、A（1）から順に矢印の向きにスカイライン列（203）の係数データを格納する。スカイライン列（203）は対角要素（201）から始まっているが、行列の途中で終わっているものがある。これは、スカイライン列（203）の定義されていない部分は0であるため、その部分の格納を省略しているためである。このように一般的にスカイライン列（203）の高さは不規則になるので、k列目のスカイライン係数行列（202）の対角要素（201）が一次元配列Aのどこにあるかという位置を示すボイントテーブルとして、配列NP（205）を定める。すなわち、入力される連立一次方程式問題は、A（NP（K））がk列目の対角要素（201）を示すように、一次元配列Aに連続して格納されている。また、（204）は入力される連立一次方程式問題の右辺ベクトルである。

【0013】図3は、スカイライン係数行列（202）をブロック1（301）、ブロック2（302）、ブロック3（303）、ブロック4（304）、ブロック5（305）、ブロック6（306）に6分割したブロック分割の例である。これらのブロックは、パラレルスカイライン法の処理で、実装されているキャッシュメモリ（103）の容量に収まるようにスカイライン係数行列（202）を分割したものである。これらのブロックは、ブロック制御部（108）の制御のもと、表307で示される順序で制御し、パラレルスカイライン法の処理を適用する。

【0014】図4は、図1で示したパッキング装置を具現する連立方程式解法装置におけるPADを示す。

【0015】連立一次方程式問題は、キーボード（101）から入力する（ステップ401）。連立方程式問題の入力データを図3で示した様にブロック1（301）からブロック6（306）まで6分割して制御する（ステップ402）。その際、図5で示すように、更新が完了し、参照されるブロック（501）にはデータを列単位に圧縮して格納し（ステップ403）、更新途中の値

で参照されるブロック（502）でもデータを列単位に圧縮して格納する（ステップ404）。そして、スカイライン解法の制御に従い（ステップ405）、スカイライン解法演算処理部（107）が、更新が完了し、参照されるブロック（501）及び、更新途中の値で参照されるブロック（502）を使用して、更新するブロック（503）を処理する（ステップ406）。計算処理終了後、ディスプレイ（111）に結果を表示する（ステップ407）。

【0016】図5は、更新されるブロック（503）、更新が完了し、参照されるブロック（501）、更新途中の値で参照されるブロック（502）、にパッキング処理部（109）の制御のもと、算術演算処理部（106）でのパラレルスカイライン法の内積計算処理を施した場合の状況を表したものである。504が主記憶装置上のデータ格納のイメージである。この状態で、L列（L=2, 3, 4, 5, 6, 7）づつまとめて行う内積計算を適応すると、更新途中の値で参照されるブロック（502）、更新が完了し、参照されるブロック（501）内の、スカイライン列（203）が1列分定義されていない部分（510）には、内積計算をL列（L=2, 3, 4, 5, 6, 7）づつまとめて行う都合上、ゼロ要素を格納する。しかし、1列で内積計算する場合、スカイライン列（203）が1列分定義されていない部分（510）の内積は計算する必要がないため、この510のゼロ要素による内積計算および、510にゼロ要素を格納するのは、無駄な作業である。

【0017】そこで、この無駄を取り除くために、更新途中の値で参照されるブロック（502）、更新が完了し、参照されるブロック（501）内において、スカイライン列（203）が1列分定義されていない部分（510）を取り除いて、すなわち列単位に詰めてキャッシュメモリ（103）上の連続領域（509）に格納する。これにより、キャッシュメモリ（103）上の連続領域（509）では、列単位に詰めて格納されたスカイライン係数行列部分（507）以外の部分（508）だけにゼロ要素を格納すればよくなり、格納の無駄が削減される。また、L列（L=2, 3, 4, 5, 6, 7）づつまとめて行う内積計算でも、更新途中の値で参照されるブロック（502）、更新が完了し、参照されるブロック（501）内での、内積計算に必要な列だけが使用されることになり、ゼロ要素による無駄な計算が列単位で削減されることになる。さらに、ブロック内部の必要なスカイライン列（203）のみを使用することで、更新されるブロック（503）内で、内積計算結果により更新をする必要のあるデータ（505）と、更新の必要な部分（506）とに分離することができ、更新されるブロック内（503）のすべての要素を更新する必要もなくなる。

【0018】そのうえ、キャッシュメモリ（103）上

の連続領域(509)に詰めて格納する事で、主記憶装置(102)からキャッシュメモリ(103)間の、510部分の無駄なゼロ要素のデータ転送量を削減することも可能となる。

【0019】図6は、スカイライン係数行列(202)に対して4列づつまとめて計算処理する際に発生する、無駄計算を引き起こすゼロ要素(601)の一例である。

【0020】

【発明の効果】以上の説明から明らかなように、本発明によれば、スカイライン列の高さが揃っていないスカイライン行列に対してパラレルスカイライン法を適用したとき、無駄なゼロ要素計算を減少させる効果がある。また、記憶階層を具備する計算機では、ある記憶階層に記憶する無駄なデータ量を削減し、記憶階層間のデータの入出力を削減することを可能とする。

【0021】これらにより、従来の一行一列内積型計算

と比較して求解C P U時間が大幅に短縮するという性能上の効果がある。

【図面の簡単な説明】

【図1】本発明の一実施例である、スカイライン行列を部分的に変更して、無駄なゼロ要素計算を削減する処理装置を具備する連立一次方程式に関する装置図。

【図2】スカイライン係数行列AとそのAの各スカイライン列の先頭アドレステーブルN P、及び右辺ベクトルの例。

【図3】スカイライン行列のブロック分割例。

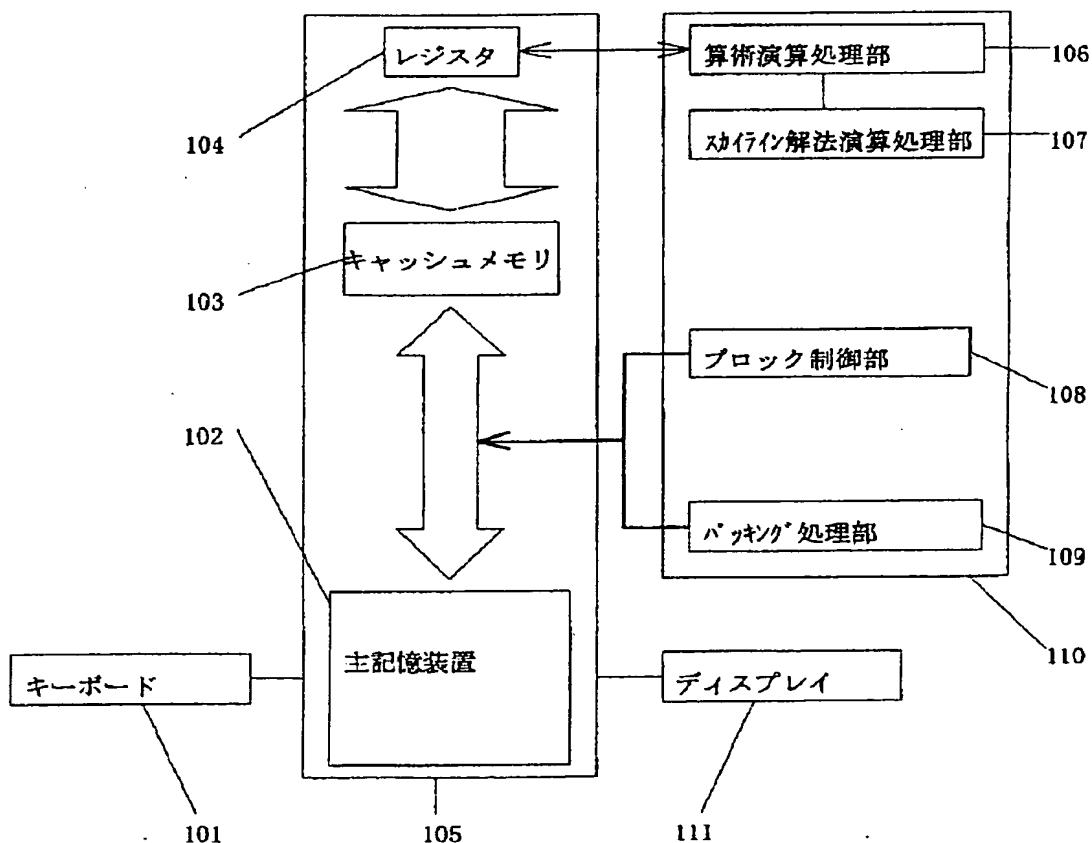
【図4】計算時に無駄なゼロ要素を削減を施した三角分解のP A D。

【図5】ブロック分割に対して、列単位でゼロ要素を削減して計算を行う三角分解の例。

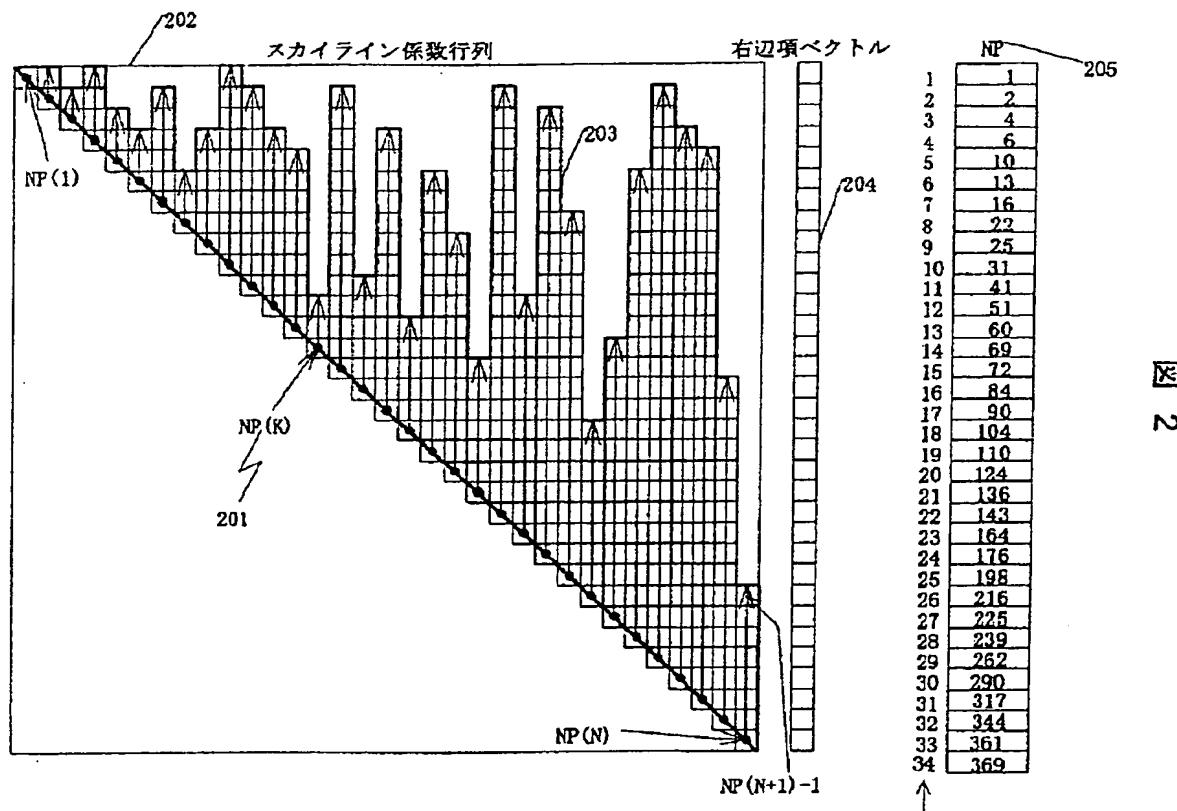
【図6】無駄なゼロ要素計算が発生するスカイライン行列の例。

【図1】

図 1



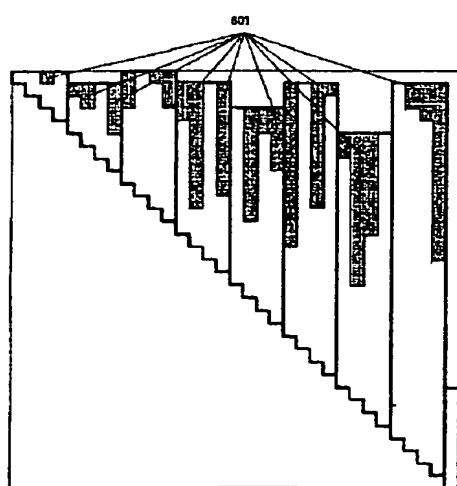
【図 2】



【図 6】

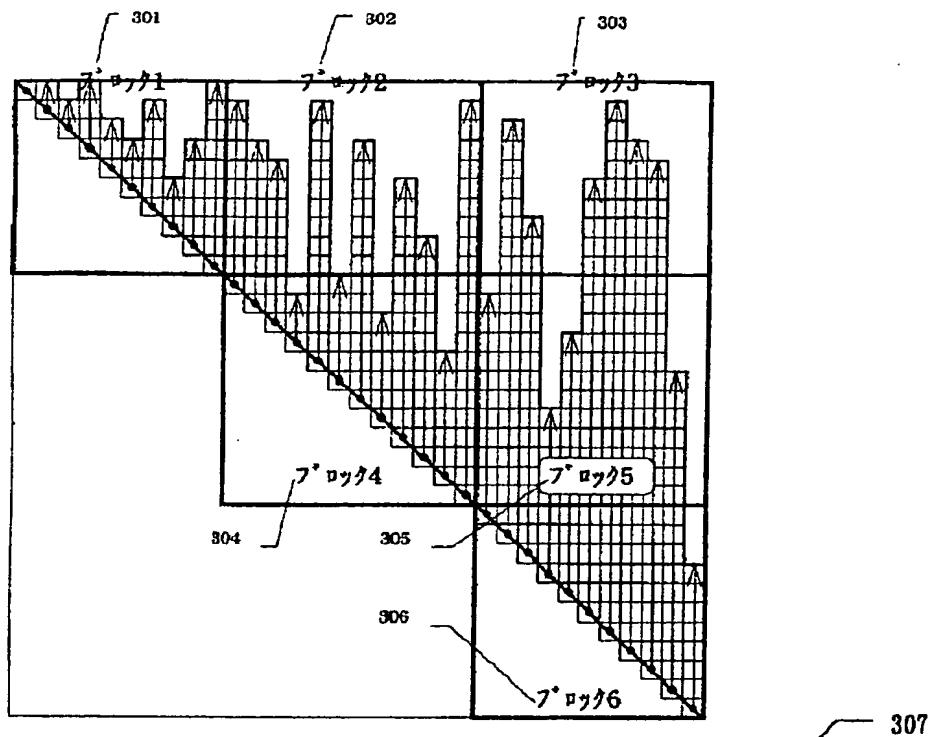
図 6

4列づつまとめて計算する場合に無駄なゼロ要素が発生するスカイライン行列の例



【図 3】

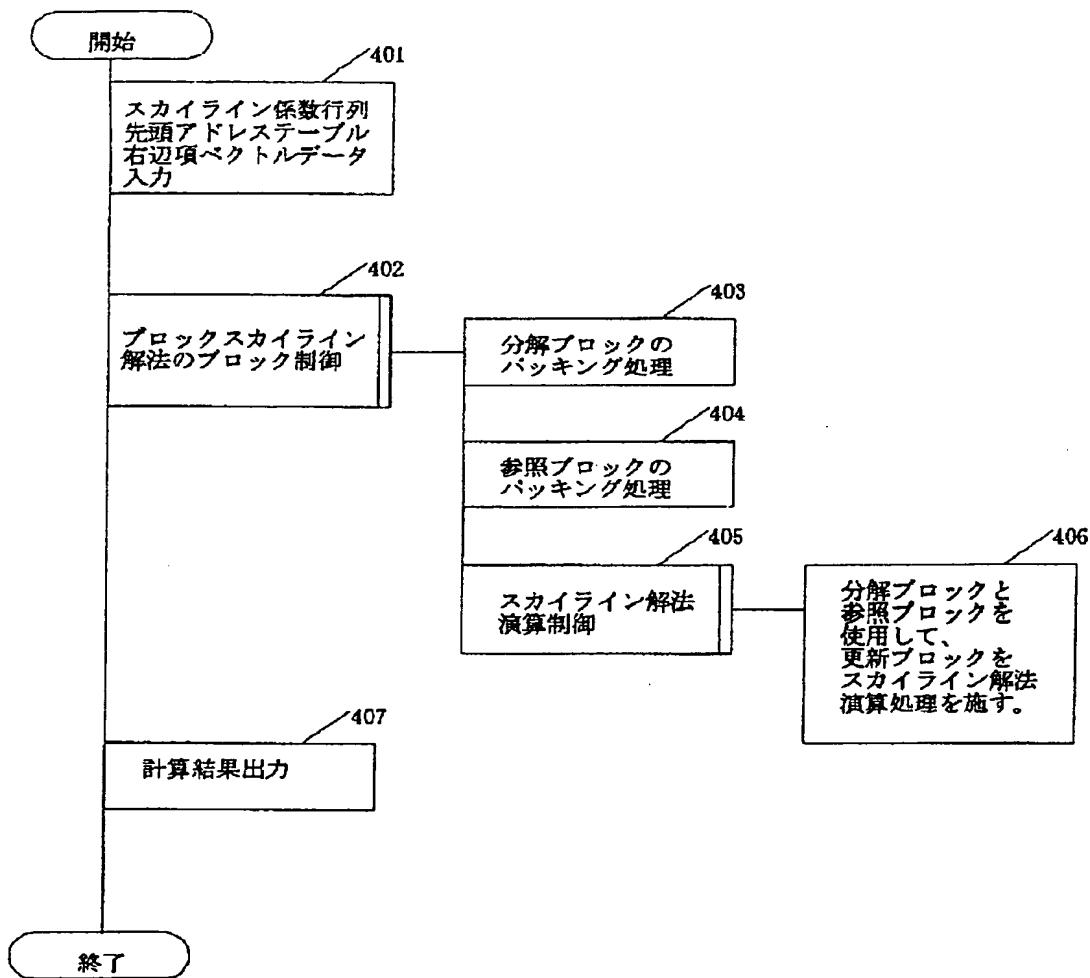
図 3



ブロック制御順序	更新が完了し、参照されるブロック	更新途中の値で参照されるブロック	更新するブロック
1回目	ブロック 1	ブロック 1	ブロック 1
2回目	ブロック 1	ブロック 2	ブロック 2
3回目	ブロック 2	ブロック 2	ブロック 4
4回目	ブロック 4	ブロック 4	ブロック 4
5回目	ブロック 1	ブロック 3	ブロック 3
6回目	ブロック 2	ブロック 3	ブロック 5
7回目	ブロック 3	ブロック 3	ブロック 6
8回目	ブロック 4	ブロック 5	ブロック 5
9回目	ブロック 5	ブロック 5	ブロック 6
10回目	ブロック 6	ブロック 6	ブロック 6

【図 4】

図 4



【図 5】

図 5

